

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-127159
 (43)Date of publication of application : 11.05.2001

(51)Int.CI. H01L 21/768
 H01L 21/22
 H01L 21/28
 H01L 21/316
 H01L 21/3205

(21)Application number : 2000- (71)Applicant : NEC CORP
 288150

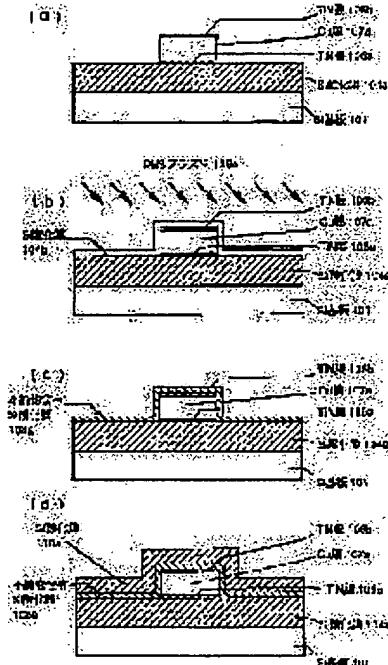
(22)Date of filing : 13.01.1997 (72)Inventor : MIKAGI IKU

(54) MANUFACTURING METHOD FOR SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To oxidize the surface of Cu to increase resistance by forming an insulation film coating a Cu wiring and also diffuse Cu onto the insulation film, so that insulation effects are lowered to easily generate a leak in a semiconductor device using Cu as a wiring layer.

SOLUTION: A first insulation film 104a is formed on a semiconductor substrate 101, and metal wirings 106a, 107a, 106b structured by a conductive film of a single layer or a plurality of layers in which a main conductive layer is composed of Cu or a Cu alloy are formed on this first insulation film, and this wiring is coated with a second insulation film 108a. Impurities such as P, B, As, Pb, N, or the like are led into this second insulation film, whereby a region where Cu of a wiring is exposed can be set to be in a state of coming into contact with the insulation film having high diffusion preventing capacity of Cu, and in the peripheries of the wiring, oxidation prevention of Cu, diffusion prevention of Cu, and improvements in electro-migration resistance and stress migration resistance of Cu are possible, and a third insulation film 110a is formed thereon.



LEGAL STATUS

[Date of request for examination] 22.09.2000
 [Date of sending the examiner's decision]

BEST AVAILABLE COPY

[of rejection]

[Kind of final disposal of application
other than the examiner's decision of
rejection or application converted
registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C): 1998,2003 Japan Patent Office

BEST AVAILABLE COPY

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-127159

(P2001-127159A)

(43)公開日 平成13年5月11日 (2001.5.11)

(51)Int.Cl.⁷
H 0 1 L 21/768
21/22
21/28
21/316

識別記号
3 0 1

F I
H 0 1 L 21/22
21/28
21/316

テマコード(参考)
E
B
3 0 1 Z
X
P

審査請求 有 請求項の数10 O L (全 9 頁) 最終頁に続く

(21)出願番号 特願2000-288150(P2000-288150)
(62)分割の表示 特願平9-3541の分割
(22)出願日 平成9年1月13日(1997.1.13)

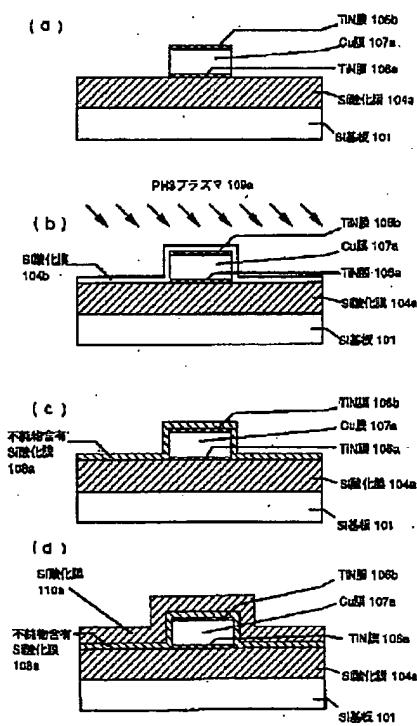
(71)出願人 000004237
日本電気株式会社
東京都港区芝五丁目7番1号
(72)発明者 三ヶ木 郁
東京都港区芝五丁目7番1号 日本電気株
式会社内
(74)代理人 100082935
弁理士 京本 直樹 (外2名)

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【課題】 配線層として銅 (Cu) を用いる半導体装置では、Cu配線を被覆する絶縁膜の形成によって、Cuの表面が酸化されて抵抗の増大が生じ、またCuが絶縁膜に拡散されて絶縁効果が低下されてリークが生じ易いものとなる。

【解決手段】 半導体基板101上に第1絶縁膜104aを形成し、この第1絶縁膜上に主導電層がCu或いはCu合金の単層あるいは複数層の導電膜より構成される金属配線(106a, 107a, 106b)を形成し、この配線を第2絶縁膜108aで被覆する。そして、この第2絶縁膜にP, B, As, Pb, N等の不純物を導入することで、配線のCuの露出する領域がCuの拡散防止能力の高い絶縁膜と接する状態にでき、配線の周囲がCuの酸化防止、Cuの拡散防止、Cuの耐エレクトロマイグレーション性や耐ストレスマイグレーション性の改善が可能となる。その上に第3の絶縁膜110aを形成する。



BEST AVAILABLE COPY

【特許請求の範囲】

【請求項1】 半導体基板上に第1絶縁膜を形成する工程と、前記第1絶縁膜上に単層あるいは複数層の導電膜より構成される金属配線を形成する工程と、前記第1絶縁膜および前記金属配線上に前記金属配線の酸化温度よりも低い温度で第2絶縁膜を形成する工程と、前記第2絶縁膜に前記金属配線の金属拡散防止能力のある不純物をプラズマドープ法により導入する工程とを有する事を特徴とする半導体装置の製造方法。

【請求項2】 半導体基板上に第1絶縁膜を形成する工程と、前記第1絶縁膜上に配線形成溝を開口する工程と、前記配線形成溝中に単層あるいは複数層の導電膜より構成される金属配線を形成する工程と、前記第1絶縁膜および前記金属配線上に前記金属配線の酸化温度よりも低い温度で第2絶縁膜を形成する工程と、前記第2絶縁膜に前記金属配線の金属拡散防止能力のある不純物をプラズマドープ法により導入する工程とを有する事を特徴とする半導体装置の製造方法。

【請求項3】 前記第2絶縁膜の上に第3絶縁膜を形成する工程を有することを特徴とする請求項1又は請求項2記載の半導体装置の製造方法。

【請求項4】 前記金属配線の主導電層が銅あるいは銅を主成分とする合金より構成される請求項1ないし3のいずれか記載の半導体装置の製造方法。

【請求項5】 前記第2絶縁膜がシリコン酸化膜あるいはフッ素含有シリコン酸化膜より構成される請求項1ないし4のいずれか記載の半導体装置の製造方法。

【請求項6】 前記第2絶縁膜の堆積を銅の酸化温度よりも低い温度で行うことを特徴とする請求項5記載の半導体装置の製造方法。

【請求項7】 前記第2絶縁膜の堆積を高密度プラズマを用いた化学的気相成長により行う請求項6記載の半導体装置の製造方法。

【請求項8】 前記第2絶縁膜の堆積をテトラエトキシシランあるいはトリエトキシフルオロシランをソースとしたプラズマ化学的気相成長により行う請求項7記載の半導体装置の製造方法。

【請求項9】 前記第2絶縁膜へ導入する不純物が、燐(P)、硼素(B)、砒素(A₃)、鉛(Pb)あるいは窒素(N)のうちの1つあるいは複数の元素より構成される請求項5ないし8のいずれか記載の半導体装置の製造方法。

【請求項10】 前記第3絶縁膜がシリコン酸化膜、フッ素含有シリコン酸化膜、有機化合物あるいは炭素より構成される請求項3ないし9のいずれか記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体装置に関し、特に銅配線を絶縁膜で被覆した構造を有する半導体装置の製造方法に関する。

【0002】

【従来の技術】 半導体装置の配線層としてCu(銅)配線が用いられるが、Cuは酸化の進行が速いためにCu配線上に絶縁膜を形成する際に、Cu表面が酸化されたり、Cuが絶縁膜中に拡散して配線抵抗の増大や配線リードを生じるという問題がある。このような、Cu配線に伴う問題を解消するための技術として、竹脇らがCu配線周囲の耐酸化性を高める構造とその製造方法を提案している。(1995年電気情報通信学会エレクトロニクスソサイエティ大会講演論文集2, 講演番号C-418, pp115-116)。この技術を図3の工程断面図に示す。先ず、図3(a)に示すように、Si基板101上にSi酸化膜104aを形成し、続いてCu膜107aで形成された配線を形成する。続いて、図3(b)に示すように、Si基板101を加熱しながらモノシリラン(SiH₄)ガス109cに曝して、CuとSiH₄ガス中のSiを反応させ、配線の表面にCu_xSi_y層(x, yは整数、以下、Cuシリサイド層)107cを形成し、このCuシリサイド層107cによりCu膜107aの酸化を防止している。

【0003】 一方、宮崎らはCu配線上への層間絶縁膜形成時のCuの酸化を防止する手法を提唱している(1995年電気情報通信学会エレクトロニクスソサイエティ大会講演論文集2, 講演番号C-419, pp117-118)。この技術を図4の工程断面図に示す。先ず、図4(a)に示すように、Si基板101上に形成されたBPSG膜104c上にタンゲステン(W)膜106d、Cu膜107a、W膜106eを順次形成し、図4(b)のように、テトラ・エトキシ・シリコン(Tetra Ethoxy Silane、以下、TEOS) + O₂の混合ガスをエッティングガスとした、250℃での高温反応性イオンエッティング法により、前記3つの導電層を順次エッティングしてW膜106e、Cu膜107a、W膜106dの積層膜より構成されるCu配線を形成する。さらに、図4(b)のように、テトラ・エトキシ・シリコン(Tetra Ethoxy Silane、以下、TEOS) + O₂の混合ガスを用いたプラズマCVD法により、Cu配線上にSi酸化膜であるプラズマTEOS酸化膜(PE-TEOS酸化膜)108dを形成するものである。この高温の反応性イオンエッティング工程ではCu配線の側壁部にシリコン酸化膜系の側壁保護膜(図示せず)が形成され、さらにTEOS存在下ではCuの酸化が非常に遅いため、絶縁膜形成時のCuの酸化は実用上問題にならないとしている。

【0004】 また、特開平3-289156号公報には、同様に宮崎によって、Cu上に形成する絶縁膜自体にCuに対する拡散防止能力を持たせる技術が提案されている。この技術は、図5に工程断面図を示すように、先ず、図5(a)に示すように、選択酸化法によりp型

のSi基板101上にフィールド酸化膜102を形成した後、イオン注入法によりn型拡散層103を形成し、その上層に膜厚300nmでB濃度1.0mol%、P濃度4.0mol%のホウ素ーリンガラス膜(BPSG膜)104cを形成後、窒素雰囲気中850℃、20分の熱処理を行う。続いて、前記BPSG膜104cに層間接続孔105bを開口した後、図5(b)のように、厚さ100nmのTiN膜106aと厚さ500nmのCu膜107aをスパッタ法により形成し、BC13ガスによりドライエッチしてCu/TiN配線とする。さらに、図5(c)のように、膜厚1000nm、P濃度1.2mol%のPSG膜108bをCVD法により形成し、層間接続孔105cを開口する。続いて、図5(d)のように厚さ100nmのTiN膜106cと厚さ500nmのCu膜107bをスパッタ法により形成し、BC13ガスによりドライエッチしてCu/TiN配線とし、その上層に膜厚1000nm、P濃度1.2mol%のPSG膜108cを形成する。

【0005】この手法により形成したn型拡散層とSi基板とで構成されるpn接合のリーク電流を測定したところ、Al-Si電極と同等の特性が得られる。また、この手法においては、PSG膜をスパッタ法により堆積したSiO₂やプラズマCVD法で堆積したSiO₂、SiNあるいはSiONへのPイオン注入やPOCl₃雰囲気アーナーにより形成したり、4mol%のPを含有するシリコーン樹脂とPを含まないSiO₂膜との積層構造としてもよいことを示している。

【0006】また、特開平7-176612号公報には、本間ににより、Cu配線表面の酸化の防止、接続抵抗の増大の抑制、回路動作の高速化を目的とした半導体装置とその製造方法が提案されている。図6はその工程断面図である。先ず、図6(a)に示すようにSi基板101上に厚さ約500nmのSi酸化膜104aを形成し、その上に配線を構成する厚さ50nmのTi膜106f、厚さ100nmのTiN膜106a、厚さ約800nmのCu膜107aをスパッタ法により順次形成し、常法によりCu膜、TiN膜およびTi膜をエッチングして配線を形成する。さらに、図6(b)のように、配線上に厚さ約500nmのフッ素(F)含有Si酸化膜108eをトリエトキシフルオロシラン(FSi(OCH₂H₅)₃)とO₂をソースとしたプラズマCVD法により、圧力10Torr、基板温度50℃の条件で形成し、続いてシラノール溶液を塗布した後、トリエトキシフルオロシランの蒸気を拡散せしめて、厚さ約300nmのフッ素含有スピノングラス膜109cを形成する。続いて、図6(c)のように、厚さ約400nmの第2のF含有Si酸化膜110dを形成した後、層間接続孔を開口し、第1層目と同様の手法を用いて第2層目のTi膜106g、TiN膜106c、Cu膜107bより構成されるCu配線を形成する。

【0007】この公報の技術によれば、Cu配線上への絶縁膜形成がCuの酸化温度よりも低温で行われ、かつ絶縁膜の比誘電率も従来のSi酸化膜よりも低いため、高い歩留と良好な電気特性が得られる。また、同公報には、Cu配線の側壁部にTi含有タングステン膜(以下、Ti-W膜)のサイドウォールを形成してCu配線を保護する手法や、過飽和状態のケイフッ化水素酸水溶液を用いた液相成長法により、35℃と言うCuの酸化温度よりも低い温度でCu配線の隙間に選択的に厚さ約900nmのF含有Si酸化膜を形成する手法も述べられている。

【0008】一方、特開昭63-299250号公報には、星野によりCu配線の表面保護法が提案されている。図7はその工程断面図である。先ず、図7(a)に示すように、Si基板101上のSi酸化膜104aの上層にTi膜106f、TiN膜106a、Cu膜107aを順次形成し、その上で最初にCu膜107aをパターニングし、得られたCuパターンをマスクとしてTiN膜106aとTi膜106fをパターニングしてCu配線を形成する。続いて、図7(b)のように、Cu配線を含むSi酸化膜104a上にSi膜109dを10~50nmの厚さに堆積する。さらに、図7(c)のように、800℃~1000℃、O₂雰囲気中で熱処理を行うと、Cuと接触している部分のSi膜109dはCu中に拡散してCu-Si合金となり、さらに雰囲気中のO₂によりCu-Si合金はO₂を取り込んでSiO₂となって、Cu-SiO₂合金107dとなり、Cuの結晶粒界にSiO₂が入り込んでCuの酸化が防止される。この際、Cuと接触していない領域のSi膜はO₂により酸化してSi酸化膜となる。

【0009】

【発明が解決しようとする課題】以上説明した種々の従来技術のうち、図3に示した竹脇らの手法は、配線の周囲にCuシリサイドを形成するため、Cu配線の耐酸化性、耐食性、耐エレクトロマイグレーション性の改善効果があり、層間絶縁膜にSi窒化膜を使用する必要がないため層間容量は増加しない。しかしながら、その配線抵抗は、高抵抗なCuシリサイド層の配線全体の表面積に対する比表面積に依存するため、配線の微細化に伴い配線の体積に対する表面積の割合は高くなる。そのため、微細な配線ほど配線抵抗の増加率は高くなり、半導体装置の特性低下が生じる。これでは抵抗の低いCuを配線の主導電層に採用するメリットがなくなる。また、CuとSiH₄の反応は比較的速いためにその制御は簡単でない。そのため、シリサイドの膜厚制御も難しく、ウェハ面内やロット内で均一な配線抵抗を得ることが難しく、安定した電気特性の半導体装置が得難いと言う問題もある。

【0010】また、図4に示した宮崎らの手法は、Cu配線エッチング時に配線側壁部にSi酸化膜系の保護膜

を形成し、TEOSソースを用いてSi酸化膜をCu配線上に形成するため、絶縁膜形成時のCuの酸化を抑制でき、配線抵抗もほとんど増加しない。また、層間容量の増加による遅延も起ららない。しかしながら、Cu配線側壁部の保護膜は導電膜のプラズマエッチング中の非平衡状態で形成される熱的安定性の低いものであり、Cuの拡散防止能力の高いものではない。さらに、TEOSソースのプラズマCVD法により形成したSi酸化膜もCuに対するバリア性が高くなく、配線を多層化する際に施される複数回の熱処理によりCuの拡散や酸化が進行して配線間の電流リーク不良や配線抵抗上昇が発生する可能性があり、高い製造歩留や長期信頼性が得難いと言う問題がある。

【0011】また、図5に示したような、PSG膜をはじめとするPを含有する絶縁膜によるCuの拡散防止は有効ではあるが、CVD法で形成するPSG膜は段差被覆性（ステップカバレッジ）が悪く、微細な配線スペースへの適用は不可能である。さらに、Si酸化膜などへのPイオン注入やPOCl₃雰囲気アニールによるCu拡散防止絶縁膜の形成は製造工程において大きな問題がある。例えば、m o 1オーダーに近い濃度のPイオンを注入するには極めて長い注入時間とコストを要し、またPOCl₃雰囲気からのP導入には高い温度での熱処理が必要で、トランジスタや配線への影響が懸念される。4m o 1%のPを含有するシリコーン樹脂とPを含まないSiO₂膜との積層構造を形成する場合でも、シリコーン樹脂は耐熱性、微細加工性、耐湿性などの面で無機系の絶縁膜と比較して劣っているため、配線の多層化工程や半導体装置の長期信頼性の面において問題が生じる。

【0012】さらに、図6に示した本間の手法は、トリエトキシフルオロシラン（F.S.i.（OC₂H₅）₃）とO₂をソースとしたプラズマCVD法やトリエトキシフルオロシラン蒸気の拡散を用いてCuの酸化温度以下で低誘電率の絶縁膜を形成するため、確かにCuを酸化させることなく絶縁膜を形成できるが、その絶縁膜自体にはCuに対するバリア性がなく、また低温で形成しているために安定性に乏しい。そのため、絶縁膜形成後の製造工程に行う熱処理によるCuの拡散や、吸湿による半導体装置の特性低下や長期信頼性の低下が懸念される。この場合、金属（Ti-W合金）膜堆積後に異方性エッチングにより配線側壁をTi-W膜で被覆し、次いで絶縁膜を形成する手法は上述の問題を解決できる手法ではあるが、微細な配線間スペースではTi-W膜残りによる配線間ショートが発生する可能性があり、高い製造歩留りを得難い。

【0013】また、図7に示した星野の手法のように、Cu上にSi膜を堆積して、熱処理を行って反応層を形成する手法は、熱処理温度が800°C～1000°Cと高すぎて配線工程では適用できない。また、Cu-SiO₂

2合金が形成されるために、竹脇らの手法と同様に配線の抵抗上昇が生じ、電気抵抗の小さなCuを配線材料として使用するメリットをなくしてしまうと言う問題がある。

【0014】本発明の目的は、Cu配線の電気抵抗増大を防止しながら、Cu配線の耐酸化性の改善やCuの絶縁膜中への拡散の防止を実現し、半導体装置の長期信頼性や製造歩留を向上することを可能とした半導体装置の製造方法を提供するものである。

10 【0015】

【課題を解決するための手段】本発明は、半導体基板上に第1絶縁膜を形成する工程と、前記第1絶縁膜上に単層あるいは複数層の導電膜より構成される金属配線を形成する工程と、前記第1絶縁膜および前記金属配線上に当該金属配線の酸化温度よりも低い温度で第2絶縁膜を形成する工程と、前記第2絶縁膜に前記金属の拡散防止能力のある不純物をプラズマドープ法により導入する工程とを有する事を特徴とする。また、金属配線としては、第1絶縁膜上に配線形成溝を開口し、この配線形成溝中に単層あるいは複数層の導電膜より構成される金属配線を形成する手法が採用可能である。さらに、前記第2絶縁膜上に第3絶縁膜を形成する工程を有する事を特徴とする。

【0016】ここで、前記金属配線は、主導電層が銅あるいは銅を主成分とする合金より構成されることが好ましい。また、第2絶縁膜がシリコン酸化膜あるいはフッ素含有シリコン酸化膜より構成されること、第2絶縁膜の堆積を銅の酸化温度よりも低い温度で行うこと、第2絶縁膜の堆積を高密度プラズマを用いた化学的気相成長30により行うこと、第2絶縁膜の堆積をテトラエトキシシランあるいはトリエトキシフルオロシランをソースとしたプラズマ化学的気相成長により行うことが好ましい。また、この場合、第2絶縁膜へ導入する不純物が、燐（P）、硼素（B）、砒素（As）、鉛（Pb）あるいは窒素（N）のうちの1つあるいは複数の元素より構成され、第2絶縁膜への不純物導入がプラズマドープ法により行われることが好ましい。さらに、第3絶縁膜がシリコン酸化膜、フッ素含有シリコン酸化膜、有機化合物あるいは炭素より構成されることが好ましい。

40 【0017】

【発明の実施の形態】次に、本発明の実施形態を図面を参照して説明する。図1は本発明の第1の実施形態を製造工程順に示した縦断面図である。先ず、図1(a)に示すように、Si基板101上に第1絶縁膜としてSi酸化膜104aを例えば熱酸化法、あるいはSiH₄と亜酸化窒素（N₂O）、TEOSとO₂を用いたプラズマCVD法により約500nmの厚さに形成する。この第1絶縁膜104aはSi酸化膜に限定されるものではなく、これ以外にもSi酸化膜に燐（P）やポロン（B）50が含まれたPSG膜やBPSG膜、あるいはポリイミド

などの有機膜でも構わない。また、その形成方法も熱酸化法やプラズマCVDに限られるものではなく、塗布法などを用いても構わない。

【0018】 続いて、金属膜として、窒化チタン膜（以下、TiN膜）106aを、チタン（Ti）のターゲットを用いた反応性スパッタ法により、パワー2.5～5.0KW、圧力2～10mTorrの条件で25～50nmの厚さに形成する。さらに、TiN膜106a上にCu膜107aをスパッタ法により、パワー2.0～5.0KW、圧力2～10mTorrの条件の下、250～500nmの厚さに形成する。そして、Cu膜107a上にTiN膜106bを前記TiN膜106aと同様の条件により25～50nmの厚さに形成する。これにより、Cu膜とTiN膜の積層膜が形成される。

【0019】 ここで、前記金属膜としてのTiN膜106aと106bは配線の主導電層であるCu膜107aを構成するCuの酸化やCuの絶縁膜中の拡散の防止、および下層に存在する絶縁膜との間の密着性を確保する事を目的として形成されるものであり、この実施形態のようなTiN膜に限らず、その他にチタン（Ti）、バナジウム（V）、クロム（Cr）、ジルコニウム（Zr）、ニオブ（Nb）、モリブデン（Mo）、ハフニウム（Hf）、タンタル（Ta）、タングステン（W）やこれらのケイ化物、ホウ化物、窒化物、炭化物、およびこれらを含有する合金を用いる事ができる。また、Cu膜107aも、特性改善を目的として他の元素が添加されたCuを主成分とするCu合金を用いても良い。そして、常法によりTiN膜106b、Cu膜107a、TiN膜106bをエッティングして、配線パターン化する。

【0020】 次いで、図1（b）に示すように、Si酸化膜104aおよび前記した積層構造の配線上にTEOSをソースとしたプラズマCVD法により、第2絶縁膜である厚さ約20～50nmのSi酸化膜104bを堆積する。この工程ではTEOSが存在するためにCuの酸化速度は極めて遅くなるが、少なくともCuの酸化温度よりも低い温度で堆積することが望ましい。また、プラズマソースとして電子サイクロotron共鳴（electron cyclotron resonance）などにより発生する高密度プラズマを用い、CVDソースとしてSiH₄とO₂を用いて、Cuの酸化温度よりも低い温度でSi酸化膜104bを堆積しても良く、塗布法によるスピノングラス膜の形成も可能である。さらに、堆積する膜の種類も、Si酸化膜に限定せずに、それ以外にもフッ素（F）を含有した比誘電率の小さなSi酸化膜を用いても良い。

【0021】 続いて、Si基板101を真空装置（図示せず）中においてフォスфин（PH₃）ガスのプラズマに曝す。このPH₃プラズマ処理は、例えば枚葉処理で行う場合には、PH₃ガス流量20～50sccm、

温度150～400℃、圧力0.1～10Torr、パワー0.2～1.0KW、処理時間1分～5分の条件で行う。これにより、図1（c）に示すように、Si酸化膜104b中には10¹⁹～10²¹atoms/cm³のリン（P）が導入される。次いで、窒素ガスなどの不活性雰囲気中、300～400℃、10～30分程度の熱処理を施す。すると、PH₃プラズマ処理条件にも依存するが、Si酸化膜104b中に導入されたP原子が安定化して、Si酸化膜104bはPSG膜と同等ある108aは類似した特性を有する不純物含有Si酸化膜108aとなる。そのため、この不純物含有Si酸化膜108aはCu原子の拡散防止能力を持つ。これにより、Cuを主導電層とする配線のCuの露出部分はCuの拡散防止能力のある絶縁膜と接する構造が得られる。なお、ここでは、プラズマドーピングを行う不純物元素としてPを用いているが、これに限定されるものではなく、その他に硼素（B）、砒素（As）、鉛（Pb）あるいは窒素（N）のうちの1つあるいは複数の元素を用いてもよい。

【0022】 続いて、図1（d）に示すように、不純物含有Si酸化膜108aの上に、例えばプラズマCVDを用いて、第3絶縁膜であるSi酸化膜110aを500～1000nmの厚さに形成する。この第3絶縁膜もSi酸化膜に限定されるものではなく、比誘電率が小さく回路遅延の抑制に有効な、フッ素（F）を含有したSi酸化膜や有機化合物膜、炭素膜を用いても良く、その堆積方法もプラズマCVD法に限定されるものではない。このように形成された半導体装置は、配線のCu露出部分がCuの拡散防止能力のある絶縁膜と接する構造となっているため、Cuの拡散や酸化を防止できる。また、その製造方法も極めて容易である。（第2の実施形態）図2は本発明の第2の実施の形態を製造工程順に示した縦断面図である。先ず、図2（a）に示すように、Si基板101上に第1絶縁膜である厚さ1000～1500nmのSi酸化膜104aをプラズマCVD法により形成し、続いて常法であるフォトリソグラフィ技術と反応性イオンエッティング技術を用いて、幅250～1000nm、深さ250～500nmの配線溝105aを形成する。ここで、この第1の絶縁膜はSi酸化膜に限定されるものではなく、これ以外にもSi酸化膜にリン（P）やボロン（B）が含まれたPSG膜やBPSG膜でも構わない。またその形成方法についても熱酸化法やプラズマCVD法に限られるものではない。

【0023】 さらに、図2（b）に示すように、金属膜としてTiN膜106aをチタンのターゲットを用いた反応性スパッタ法により、パワー2.5～5.0KW、圧力2～10mTorrの条件で10～30nmの厚さに形成する。このTiN膜106aも第1の発明の実施の形態と同様に他の材料を用いる事ができる。次いで、

(Copper Hexa Fluoro Acetyl Acetonate Tri-Methyl Vinyl Silane Cu (C₅H₆O₂) (C₅H₁₂Si)) を原料とした有機ソース Cu-CVD 法により、厚さ 500~1000 nm の Cu 膜 107a を形成し、配線溝 105a が TiN 膜 106a と Cu 膜 107a で充填されるようにする。Cu-CVD は原料ソース 20~50 sccm、キャリア H₂ガス 50~200 sccm、温度 150~250°C、圧力 5~20 Pa の条件で行うと、平滑で高いステップカバレッジの Cu 膜 107a を形成する事ができる。

【0024】そして、図 2 (c) に示すように、アルミナ (Al₂O₃) 微粉末と過酸化水素 (H₂O₂) を主成分としたスラリーを用いた化学的機械研磨法 (Chemical Mechanical Mechanical Polishing, 以下、CMP 法) により、配線溝以外の部分に露出した Cu 膜と TiN 膜を研磨、除去して TiN 膜 106a と Cu 膜 107a より構成される溝埋め込み構造の Cu 配線を形成する。続いて、図 2 (d) のように、Si 酸化膜 104a および Cu 配線上に TEOS をソースとしたプラズマ CVD 法により、第 2 絶縁膜である厚さ約 20~50 nm の Si 酸化膜 104b を堆積する。この工程では TEOS が存在するために露出した部分の Cu の酸化速度は極めて遅くなるが、少なくとも Cu の酸化温度よりも低い温度で堆積することが望ましい。また、プラズマソースとして電子サイクロトロン共鳴 (electron cyclotron resonance) などにより発生する高密度プラズマを用い、CVD ソースとして SiH₄ と O₂ を用いて、Cu の酸化温度よりも低い温度で Si 酸化膜 104b を堆積しても良く、また塗布法によるスピノングラス膜の形成も可能である。さらに、堆積する膜の種類も、Si 酸化膜に限定せずに、それ以外にもフッ素 (F) を含有した比誘電率の小さな Si 酸化膜を用いても良い。

【0025】さらに、図 2 (e) に示すように、Si 基板 101 を真空装置 (図示せず) 中においてアルシン (AsH₃) ガスのプラズマに曝す。この AsH₃ プラズマ処理は、例えば枚葉処理で行う場合には、AsH₃ ガス流量 20~50 sccm、温度 150~400°C、圧力 0.1~10 Torr、パワー 0.2~1.0 kW、処理時間 1 分~5 分の条件で行う。すると、Si 酸化膜 104b 中には $10^{19} \sim 10^{21}$ atoms/cm³ の砒素 (As) が導入される。次いで、窒素ガスなどの不活性雰囲気中、300~400°C、10~30 分程度の熱処理を施すと、AsH₃ プラズマ処理条件にも依存するが、Si 酸化膜 104b 中に導入された As 原子が再配列、安定化して、Si 酸化膜 104b は砒素ガラス (ASG: Arsen Silicate Glass) 膜と同等あるいは類似した特性を有する不純物含有 Si 酸化膜 108a となり、Cu 原子の拡散防止能力を

持つこととなる。これにより、Cu を主導電層とする溝配線の表面部に存在する Cu の露出領域は Cu の拡散防止能力のある絶縁膜と接する構造が得られる。

【0026】続いて、図 2 (f) に示すように、不純物含有 Si 酸化膜 108a の上に、例えばプラズマ CVD を用いて、第 3 絶縁膜である Si 酸化膜 110a を 50~1000 nm の厚さで形成する。この絶縁膜も Si 酸化膜に限定されるものではなく、比誘電率が小さく、回路遅延の抑制に有効な、フッ素 (F) を含有した Si 酸化膜や有機化合物膜、炭素膜を用いても良く、その堆積方法もプラズマ CVD 法に限定されるものではない。このように形成された半導体装置は、配線の Cu 露出部分が Cu の拡散防止能力のある絶縁膜と接する構造となっているため、Cu の拡散や酸化を防止できる。また、その製造方法も極めて容易であることは本発明の第 1 の実施の形態と同様である。

【0027】ここで、前記した第 1 及び第 2 の各実施形態に示した半導体装置の製造方法は、MOS 型、あるいはバイポーラ型等の半導体装置の種類を選ばず適用する事ができる。

【0028】

【発明の効果】以上説明したように本発明の半導体装置の製造方法は、Cu を主導電材料とする配線を被覆する絶縁膜に対して、Cu の拡散防止能力を有する不純物を導入することにより、配線の Cu の露出する領域が Cu の拡散防止能力の高い絶縁膜と接する構造が形成でき、配線の周囲が Cu の酸化防止、Cu の拡散防止、Cu の耐エレクトロマイグレーション性や耐ストレスマイグレーション性の改善に効果的なバリア膜と Cu シリサイドにより被覆された構造の Cu 配線を高い制御性、高い均一性および高い再現性のもとで形成できる。これにより、Cu 配線上に Si 壑化膜よりも比誘電率は低いが成膜時に Cu を酸化させてしまう可能性のある Si 酸化膜などの絶縁膜を形成した場合でも Cu は酸化されず、Cu 配線の長期信頼性が改善される。さらに、Cu 配線の多層化のために複数回の熱処理が加わった場合でも配線や絶縁膜の特性劣化が生じないため、高い性能と高い長期信頼性を有する半導体装置を高い歩留で製造できる。

【図面の簡単な説明】

【図 1】本発明の第 1 の実施の形態の工程を示す縦断面図である。

【図 2】本発明の第 2 の実施の形態の工程を示す縦断面図である。

【図 3】従来の第 1 の技術の工程を示す縦断面図である。

【図 4】従来の第 2 の技術の工程を示す縦断面図である。

【図 5】従来の第 3 の技術の工程を示す縦断面図である。

【図 6】従来の第 4 の技術の工程を示す縦断面図である。

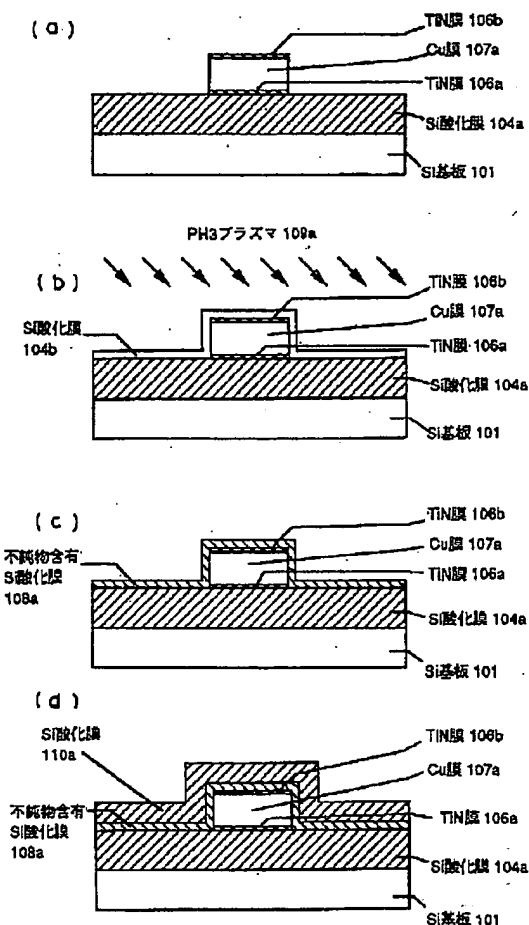
る。

【図7】従来の第5の技術の工程を示す縦断面図である。

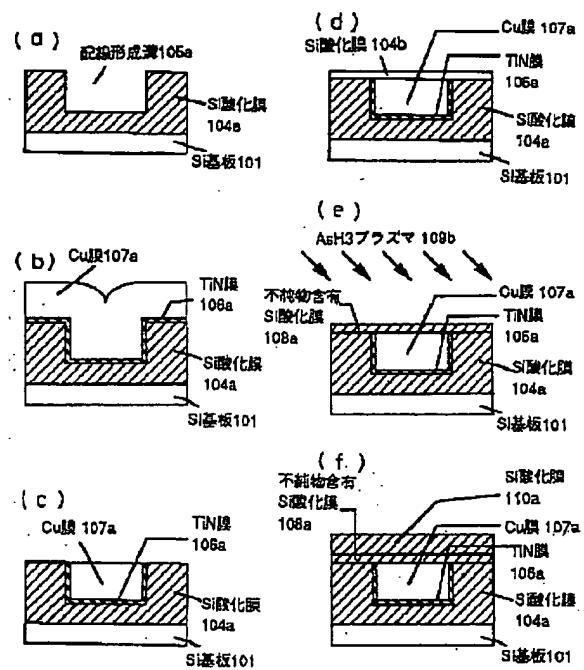
【符号の説明】

101 Si基板

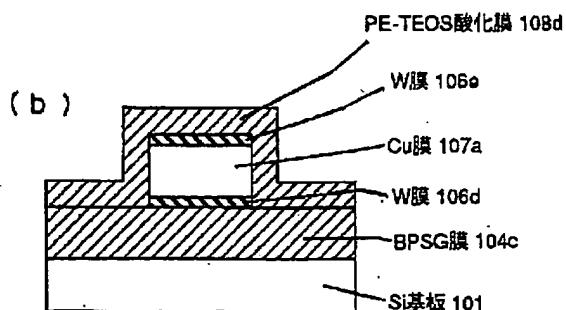
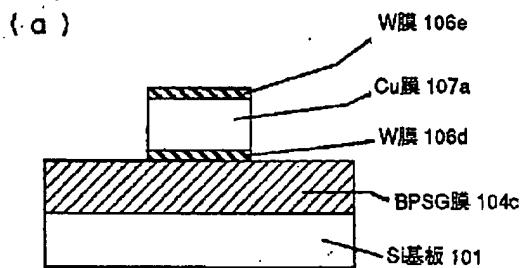
【図1】



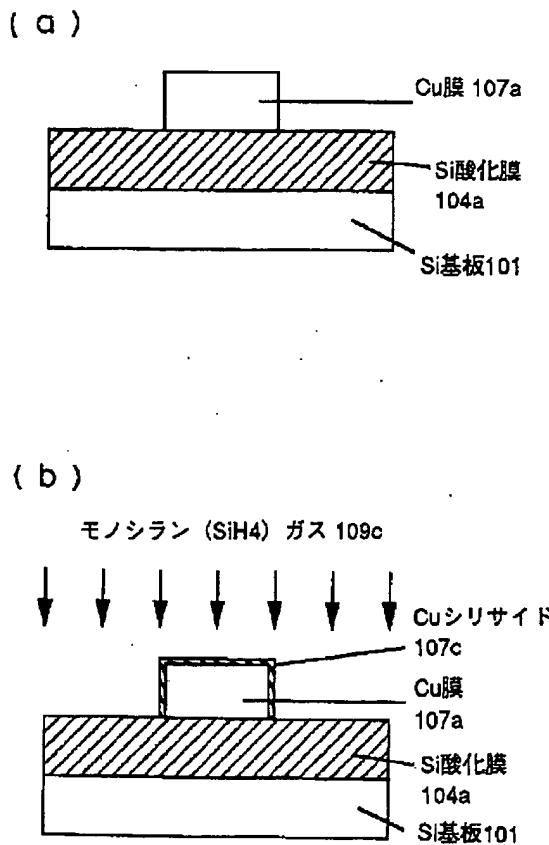
【図2】



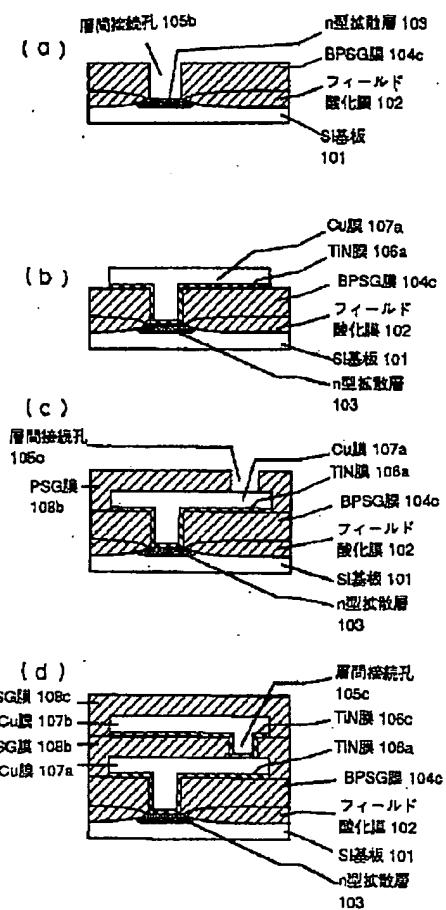
【図4】



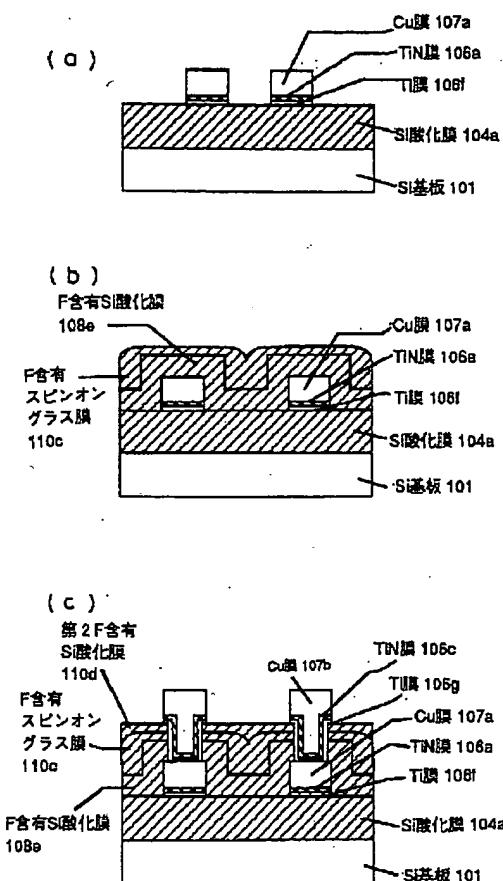
【図3】



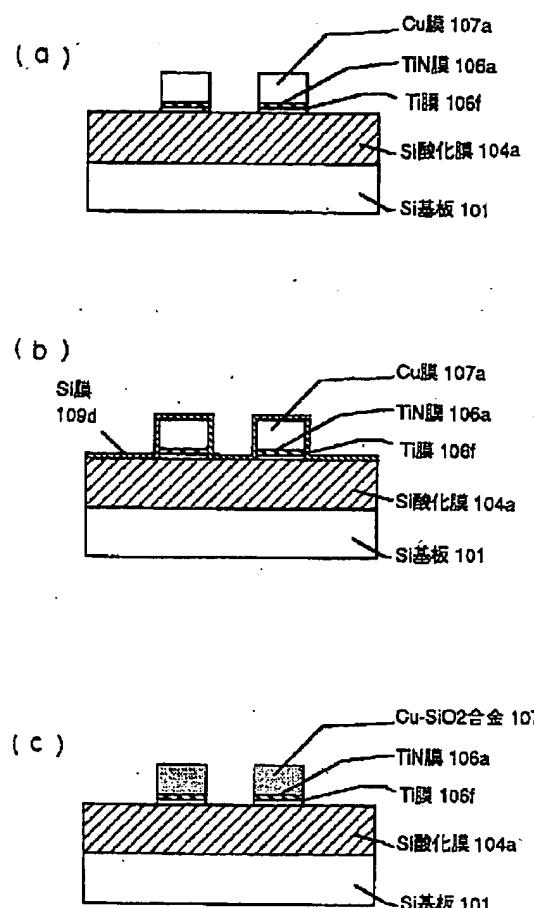
【図5】



【図6】



【図7】



フロントページの続き

(51) Int. Cl. 7

識別記号

H 01 L 21/316

21/3205

F I

H 01 L 21/90

21/88

「マーク」(参考)

J

M

BEST AVAILABLE COPY